

Tarjeta Didáctica para Implementación de Circuitos Digitales en FPGA.

Leyva G¹, Jaramillo R², Carreras C¹, Nieto-Taladriz O¹

¹ ETSIT, Universidad Politécnica de Madrid, España
gleyvah@yahoo.com

² Universidad Autónoma de Aguascalientes, México.
r_jara@hotmail.com

Resumen

Los avances tecnológicos demandan de las Universidades la continua actualización de los planes de estudio así como de los materiales didácticos de sus laboratorios. Desafortunadamente, en algunos casos los costos del equipamiento superan los presupuestos y es necesario que las Facultades desarrollen sus propios equipos. En este documento se presenta una propuesta de una tarjeta entrenadora de FPGA de bajo costo y de fácil uso basada en FPGA's Xilinx de hasta 20,000 puertas en empaquetados PLCC84 y con hardware adicional para la implementación y verificación rápidas de circuitos digitales combinacionales y secuenciales básicos. El costo de la tarjeta propuesta es inferior a cualquier tarjeta comercial de su tipo.

Palabras clave:

Configuración, Diseño Digital, FPGA, Pruebas.

I. INTRODUCCIÓN

La tarjeta entrenadora propuesta es una plataforma de diseño electrónico digital basado en VHDL. Se trata de un prototipo orientado a estudiantes o docentes que deseen experimentar con FPGA's Xilinx [1] sin grandes necesidades de recursos.

La tarjeta entrenadora contiene un microcontrolador [6] de bajo costo AT89C2051, el cual es la interfaz entre la computadora y la FPGA. El proceso de descarga puede ser efectuado por cualquier software de comunicaciones emulador de "terminal tonta" vía puerto serie (RS-232) como por ejemplo, PC2MAC, PROCOMM, etc., bajo la siguiente configuración: velocidad de 9600 Baudios, sin paridad, 8 bits de transmisión y un bit de parada. La tarjeta entrenadora puede ser configurada para trabajar como máximo a 38,400 Baudios. La FPGA es normalmente configurada en modo serie esclavo aunque también puede ser configurada en modo maestro y en "serial chain". La figura 5 muestra el diagrama de bloques de la tarjeta entrenadora.

II. EL MICROCONTROLADOR

El formato del archivo soportado es "MCS86" y puede ser generado por el "Sistema de desarrollo de Xilinx", tanto en su versión de estudiante como en la versión completa. Cada una de las líneas de los archivos en formato MCS86 se compone de las siguientes partes: inicio de línea, número de bytes, dirección de memoria, separador, código y "checksum". Estos elementos son analizados por el microcontrolador [3-6] lo que le permite identificar algún error de comunicación en cualquier momento del proceso de descarga a la FPGA. En la fig. 2 se muestra un ejemplo del formato MCS86 [2]. La fig. 1 muestra el algoritmo para procesar el formato MCS86 y obtener los bytes de configuración del la FPGA.

- 1) Inicio
- 2) Detectar inicio de línea.
- 3) Identificar número de datos.
- 4) Desechar dirección.
- 5) Desechar byte de separación.
- 6) Procesar código
 - a) Recepción del carácter (nibble alto).
 - b) Conversión ASCII-Hexadecimal.
 - c) Recepción del carácter (nibble bajo).
 - d) Conversión ASCII-Hexadecimal.
 - e) Concatenar ambos nibbles para obtener el byte de configuración.
- f) Envió vía serie síncrona de byte de configuración a FPGA.
- 7) Identificar y calcular checksum
- 8) Si existe error en el status de FPGA o checksum notificar y salir.
- 9) Identificar secuencia de fin de archivo MCS86 :00000001FF en caso de presentarse ir a punto 10, de lo contrario ir a punto 2.
- 10) Fin

Fig. 1 Algoritmo para obtener los bytes de configuración de la FPGA Xilinx.

```

:020000020000FC
:10000000FFFFFFFF5599AA660C000180000000
E089
:0CA5C00000000000000000000000000000008F
:00000001FF

```

Fig. 2 Ejemplo de formato MCS86

Una vez analizado el formato del archivo y su algoritmo, podemos resumir las funciones del microcontrolador de la siguiente manera:

- Interfaz RS-232.
- Monitoriza la transmisión.
- Convierte de ASCII a binario.
- Monitoriza los bits de status de la FPGA durante la programación.
- Programa la EEPROM
- Borra la FPGA y se prepara para una nueva descarga con solo presionar un botón.

III. MEMORIA DE CONFIGURACION DE LA FPGA

La conexión entre la FPGA y la EEPROM esta formada por dos señales, una de reloj y la otra de datos bidireccional, cada "mensaje" enviado consiste en un número entero de bytes. La memoria seleccionada para esta aplicación fue la AT17C128 [7].

A. Escritura

La escritura en espacio de direcciones normales se efectúa por medio de páginas. Una página se compone en 64 bytes de longitud en partes de 64K, 128K y 256K; 128 bytes de longitud en partes de 512K, 1M y 2M, y 265 bytes para partes de 2M.

Una instrucción de escritura consiste en:

- 1.- Condición de inicio
- 2.- R/W = 0
- 3.- Byte más significativo de la dirección de la EEPROM (512K, 1M y 2M solamente).
- 4.- Siguiendo byte de la dirección de la EEPROM.
- 5.- Byte menos significativo de la dirección de la EEPROM.
- 6.- Bytes de datos.
- 7.- Condición de paro.

B. Lectura

El proceso es similar al empleado en la escritura, y está disponible en tres modalidades: lectura de una dirección específica, lectura aleatoria y lectura secuencial.

Para cualquier lectura es importante tener en cuenta que el contador de direcciones del byte de datos contiene la última dirección accedida durante una lectura o escritura previa incrementada por uno (n+1).

- Lectura de dirección específica:
 1. Condición de inicio.
 2. R/W = 1.
 3. Byte de dato del configurador.
 4. Condición de paro.
- Lectura de dirección aleatoria:
 1. Condición de inicio.
 2. R/W = 0.
 3. Byte más significativo de dirección.
 4. Siguiendo byte de dirección.
 5. Byte menos significativo de dirección.
 6. Condición de inicio
 7. R/W = 1.
 8. Byte de dato del configurador.
 9. Condición de paro.
- Lectura secuencial:

Se basa en cualquiera de los dos algoritmos anteriormente descritos. Después que el programador recibe el byte de dato, este puede responder con un bit de reconocimiento lo que incrementará el byte de datos de direcciones. Este proceso terminará cuando el chip programador no responda el bit de reconocimiento.

IV. PROGRAMACIÓN DE LA FPGA

Las FPGA's Xilinx pueden ser configuradas de diversos modos, aunque el JTAG es el modo de programación más usado, los modos serie, maestro esclavo son útiles para un cierto tipo de aplicaciones. Como en nuestro caso el microcontrolador contiene un número reducido de pines de I/O por cuestiones de espacio y costo, aprovechamos las características de los modos esclavo – serie y maestro – serie, los cuales son soportados tanto por las series XC4000e como la Spartan. El microcontrolador proporciona las señales CCLK y DIN necesarias para configurar FPGA. Además, las señales PROG e INIT son previamente puestas a niveles lógicos convenientes para limpiar la configuración de la FPGA y dejarla preparada para iniciar su configuración. Durante proceso de configuración, la señal INIT monitorizada permanentemente para asegurar que proceso de descarga es correcto.

La tarjeta de pruebas esta diseñada para aprovechar la programación de FPGA's en "Serial Chain". Cada tarjeta tiene un puerto de configuración serie entrada y otro de salida serie. De esta forma si

tiene la necesidad de segmentar un diseño cuya magnitud implique el uso de más de una FPGA, pueden ser encadenadas varias tarjetas para programarse simultáneamente en una sola descarga de código y con una sola conexión al puerto RS-232. Para efectuar el procedimiento anteriormente descrito, es necesario hacer uso del "Sistema de desarrollo de Xilinx" para preparar los segmentos de código que serán descargados y obtener un solo archivo de configuración. Del lado de hardware es necesario que solo una de las tarjetas tenga conexión al puerto RS-232 de la computadora y su microcontrolador este activo, las demás tarjetas deberán estar encadenadas a través de los puertos de configuración en cascada y con sus respectivos microcontroladores en "reset". Finalmente, si se desea configurar la FPGA por algún otro sistema maestro, esto puede efectuarse por el puerto de configuración serie o esta tarjeta puede configurar a otro chip en modo esclavo.

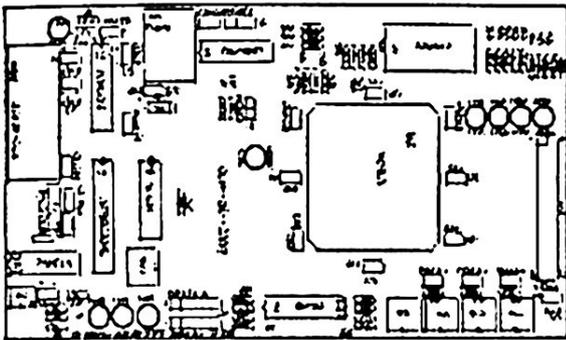


Fig.3 Layout del circuito impreso.

Esta tarjeta también soporta el modo de configuración maestro serie. Para ello debe conectarse externamente la memoria y posicionar el selector de modo adecuado.

La tarjeta entrenadora esta diseñada para cualquier FPGA de la familia Spartan con encapsulado PLCC84 o cualquier FPGA de la familia XC4000 bajo el mismo encapsulado. La capacidad máxima de puertas del sistema es de 20,000 (XC4010e, 400 CLBs). La figura 3 nos muestra el layout del circuito impreso de la tarjeta entrenadora. La imagen real de la tarjeta entrenadora se muestra en la figura 4.

V. CARACTERÍSTICAS DE LA TARJETA ENTRENADORA

Las características principales de la tarjeta entrenadora se resumen en la tabla I.

TABLA I. CARACTERÍSTICAS DE LA TARJETA ENTRENADORA

FPGA	Xilinx® Spartan XCS10™ PLCC84 Logic cells: 466 Max System Gates: 10,000 Typical Gate Range: 3,000-10,000 CLB Matrix: 14 x 14 Total CLBs: 196 Flip-flops: 616
Memoria	AT17C128
Conector de I/O	24 terminales entrada – salida
Alimentación	+5.0 V, jack connector
Señales de reloj	Clk1 hasta 40 Mhz Clk2 11.059 Mhz.
Comunicación	Extensión serie DB9 - DB9 (macho – hembra)
Modo de operación	Serial Slave, Serial Master y Serial chain.
Hardware adicional	8 DIP switches 4 push buttons 4 LED's Digito dual 7 segmentos (cátodo común)
Circuito impreso	La tarjeta de circuito impreso esta diseñada a doble cara, cuyas dimensiones son 14.19 cm x 7.5 cm.

VI. CONCLUSIONES

La elaboración de tarjetas entrenadoras de bajo costo es una opción viable para implementar laboratorios de FPGA's en las Universidades y también lo es para estudiantes, profesores y público en general que deseen experimentar con FPGA's Xilinx sin grandes necesidades de recursos.

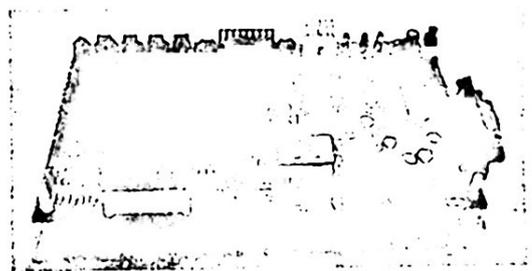


Fig. 4 Tarjeta entrenadora de FPGA's Spartan.

A pesar de que existen en el mercado tarjetas entrenadoras de alta tecnología con FPGA's de alta densidad [8] consideramos que este prototipo de fácil ensamble, que en conjunto con versiones de

estudiante de sistemas de desarrollo de Xilinx ofrece el soporte necesario para diseños de baja densidad en un entorno amigable. En nuestro caso hemos puesto en marcha un laboratorio con 30 tarjetas de FPGA, de precio muy bajo y sin necesidad de comprar cable de configuración del fabricante [9], que dicho sea de paso, tiene un costo considerable. Además, como la configuración de la tarjeta se realiza a través del puerto RS-232, esta puede ser programada en sistema operativo Windows o Linux, resolviendo con ello la problemática de configuración

través del puerto paralelo en computadoras personales. El diagrama eléctrico, circuito impreso y el código del microcontrolador están a disposición de la comunidad académica interesada.

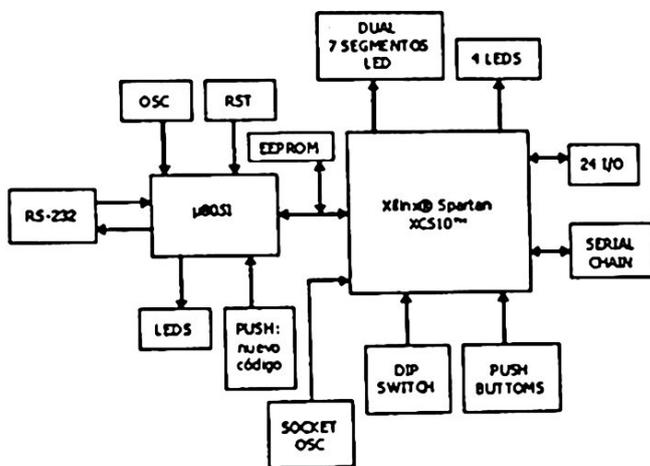


Fig. 5 Diagrama de bloques de la tarjeta entrenadora.

REFERENCIAS

- [1] Xilinx Databook DS060(V1.7) June 27, 2002.
- [2] Peatman, John, "Design with microcontrollers" Mc Graw Hill, 1988.
- [3] Predko, Myke, "Programming and Customizing the 8051 Microcontroller" McGraw-Hill/TAB Electronics, 1999.
- [4] Philips Data Handbook, 1992.
- [5] Atmel Data Handbook, 2000.
- [6] http://www.atmel.com/dyn/resources/prod_documents/DOC0368.PDF
- [7] http://www.atmel.com/dyn/resources/prod_documents/doc2321.pdf
- [8] <http://www.xess.com/prod020.php3>
- [9] <http://toolbox.xilinx.com/docsan/xilinx4/data/docs/pac/cables6.html>